

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-139581

(43)Date of publication of application : 31.05.1996

(51)Int.Cl.

H03K 17/22

G05F 1/00

(21)Application number : 06-278873

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 14.11.1994

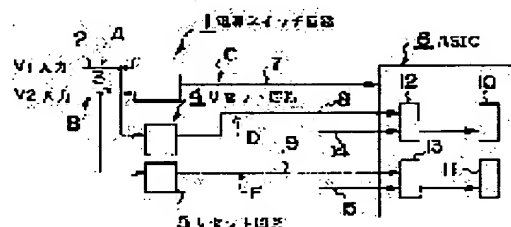
(72)Inventor : KUBOTA KEIICHI

(54) POWER SUPPLY CONTROL CIRCUIT

(57)Abstract:

PURPOSE: To reduce a mounting area by providing a power supply switching circuit and a reset circuit for outputting reset signals generated for each power supply voltage to the gate circuit of control signals for controlling an operating circuit as gate signals.

CONSTITUTION: The gate circuits 12 and 13 input and output the control signals from a control part through control signal lines 14 and 15 with the reset signals from reset circuits 4 and 5 as the gate signals. When prescribed time elapses after an input voltage V1 inputted to the circuit 4 rises from an L level and reaches a stipulated voltage V_k, the output side of the circuit 4 changes from the L level to an H level. Then, when the voltage V1 drops from the H level and reaches the voltage V_k, the output side of the circuit 4 changes from the H level to the L level. The circuit 5 performs an operation similar to the circuit 4, and when the input voltage V2 drops from the H level and reaches the voltage V_k, the output side of the circuit 5 changes from the H level to the L level. Thus, plural power supply circuits are switched and power is supplied to an integrated circuit 6 for a specified use.



THIS PAGE BLANK (USPTO)

特開平8-139581

(43) 公開日 平成8年(1996)5月31日

(51) Int. Cl. ⁶

識別記号

FI

H03K 17/22

A 9184-5K

G05F 1/00

G

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平6-278873

(22) 出願日 平成 6 年 (1994) 11 月 14 日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 久保田 敬一

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

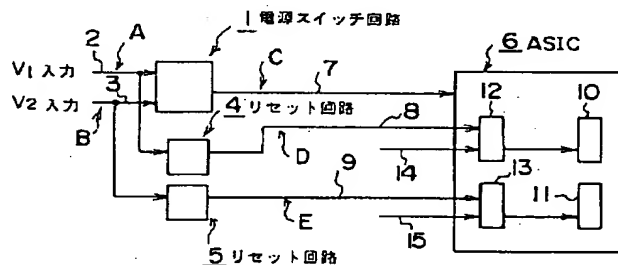
(74) 代理人 弁理士 鈴木 敏明

(54) 【発明の名称】 電源制御回路

(57) 【要約】

【目的】 複数の電源回路をスイッチングして特定用途向け集積回路に電源を供給できるようにし、電源区分による特定用途向け回路のＩＣ化限定をなくして特定用途向け集積回路のプリント基板への実装面積を縮小し得る電源制御回路を提供する。

【構成】 動作回路 10、11 に供給される電源電圧 V_1 、 V_2 をスイッチングする電源スイッチング回路 1 と、動作回路 10、11 を制御する制御信号のゲート回路 12、13 にゲート信号として電源電圧 V_1 、 V_2 ごとに生成したりセット信号を出力するリセット回路 4、5 とを設ける。



第 1 実施例の構成を示すブロック図

【特許請求の範囲】

【請求項1】 複数の電源電圧を入力して動作回路に供給する電源電圧をスイッチングする電源スイッチング回路と、動作回路を制御する制御信号のゲート回路にゲート信号として電源電圧ごとに生成したリセット信号を出力するリセット回路とを設けたことを特徴とする電源制御回路。

【請求項2】 上記複数の電源電圧を同時に立ち上がらせ、前段のリセット回路の出力と後段のリセット回路に供給される電源電圧とを入力して後段のリセット回路に供給される電源電圧の立ち上がりを遅らせる遅延回路を設けた請求項1記載の電源制御回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は特定用途向け回路を搭載した特定用途向け集積回路 (Application Specific Integrated Circuit: ASIC) を駆動する電源制御回路に関する。

【0002】

【従来の技術】 従来、特定用途向け回路が動作回路と複数の電源回路で構成されている場合、電源を供給する電源回路で動作回路を区分けし、特定用途向け集積回路としてIC化し、IC化した特定用途向け集積回路をプリント基板に実装している。

【0003】

【発明が解決しようとする課題】 従来、特定用途向け集積回路にあっては、動作回路を電源回路で区分けし、IC化するので、プリント基板への実装面積が広がってしまうという問題点があった。さらに、電源回路で区分けし、IC化することは特定用途向け集積回路の開発費を高くするという問題点もあった。

【0004】 本発明は、複数の電源回路をスイッチングして特定用途向け集積回路に電源を供給できるようにし、電源区分による特定用途向け回路のIC化限定をなくして特定用途向け集積回路のプリント基板への実装面積を縮小化するとともに特定用途向け集積回路の開発費を安くし得る電源制御回路を提供することを目的としている。

【0005】

【課題を解決するための手段】 上記目的を達成するために本発明の電源制御回路においては、動作回路に供給される複数の電源電圧をスイッチングする電源スイッチング回路と、動作回路を制御する制御信号のゲート回路にゲート信号として電源電圧ごとに生成したリセット信号を出力するリセット回路とを設けたものである。

【0006】

【作用】 上記のように構成された特定用途向け電源制御回路の電源スイッチング回路とリセット回路とに電源を供給すると、電源スイッチング回路が電源電圧をスイ

ッチングし、リセット回路が電源電圧ごとにリセット信号を生成し、動作回路を制御する制御信号のゲート回路にゲート信号として出力しゲート回路を開くように働く。

【0007】 従って本発明よれば、複数の電源回路をスイッチングして特定用途向け集積回路に電源を供給でき、電源区分による特定用途向け回路のIC化限定をなくして特定用途向け集積回路のプリント基板への実装面積を縮小化するとともに特定用途向け集積回路の開発費を安くし得る。

【0008】

【実施例】 本発明の実施例について図面を参照しながら説明する。尚、各図面に共通な要素には同一符号を付す。

【0009】 第1実施例

図1は第1実施例の構成を示すブロック図である。電源スイッチ回路1の入力側には異なる入力電圧V1、V2 (V1 > V2) を供給する電源線2、3が接続され、リセット回路4、5の入力側にも接続してある。特定用途向け集積回路6 (以後ASIC6と記す) の入力側には電源スイッチ回路1、リセット回路4、5の出力側との間に電源入力線7、リセット信号線8、9が接続してある。

【0010】 電源スイッチ回路1は、図3に示すように、ダイオード1a、1bからなり、ダイオード1a、1bの入力側に異なる入力電圧V1、V2を供給する電源線2、3が接続され、出力側にそれぞれ電源入力線7の一端が接続してある。電源スイッチ回路1に入力している入力電圧V1、V2の内、いずれか一方の入力電圧が供給されているとき、電源入力線7を介してその入力電圧がASIC6の動作回路10、11に供給される。また、入力電圧V1、V2の両方が供給された場合には、ダイオード1a、1bの作用によりV1 > V2から電圧V1がASIC6に供給される。ASIC6は動作電圧が異なる2つの動作回路10、11がIC化され、ゲート回路12、13とともにセラミック基板に搭載されている。ゲート回路12、13はそれぞれリセット回路4、5のリセット信号をゲート信号として制御信号線14、15を介して図示せぬ制御部からの制御信号を入力/出力している。

【0011】 リセット回路4、5は、図4に示すように、それぞれリセットIC16、17と抵抗18、19とコンデンサ20、21とからなる。リセット回路4に入力している入力電圧V1がロウレベルから上昇して規定の電圧VK (V1 > VK: VKはリセットICの特性値) に達したのち、所定の時間tK (リセットIC、抵抗、コンデンサの各値で決まる時間) 経過すると、リセット回路4の出力側はロウレベルからハイレベル (電圧V1) になる。そして入力電圧V1がハイレベルから降下して電圧VKに達すると、リセット回路4の出力側はハイレベルからロウレベルになる。リセット回路5もリ

10

20

30

40

50

セット回路 4 と同様の動作を行い、規定の電圧 V_K ($V_2 > V_K$: V_K はリセット IC の特性値) に達したのち、所定の時間 t_K (リセット IC、抵抗、コンデンサの各値で決まる時間) 経過すると、リセット回路 5 の出力側はロウレベルからハイレベル (電圧 V_2) になる。そして入力電圧 V_2 がハイレベルから降下して電圧 V_K に達すると、リセット回路 5 の出力側はハイレベルからロウレベルになる。

【0012】図 2 は第 1 実施例の動作を説明する波形図であり、(A) ~ (E) はそれぞれ図 1 に示した A ~ E 10 に対応する。

【0013】次に動作について図 2 を参照して説明する。時刻 t_1 で入力電圧 V_1 が、(A) に示すように、ロウレベルから上昇して電源スイッチ回路 1 とリセット回路 4 とに電源供給を開始すると、(C) に示すように、ほぼ同時に電源スイッチ回路 1 の出力側から ASIC 6 に供給される。時刻 t_2 で入力電圧 V_1 が電圧 V_K に達し、時刻 t_3 で入力電圧 V_1 はハイレベルに達する。時刻 t_2 から時間 t_K 経過した時刻 t_4 で、(D) 10 に示すように、リセット回路 4 の出力側は電圧 V_1 をリセット信号としてゲート回路 12 に出力する。図示せぬ制御部からの制御信号はリセット信号をゲート信号としてゲート回路 12 から動作回路 10 に出力される。動作回路 10 は電源スイッチ回路 1 から供給される電源電圧 V_1 とゲート回路 12 から出力される制御信号とで動作する。

【0014】時刻 t_5 で入力電圧 V_2 が、(B) に示すように、ロウレベルから上昇して電源スイッチ回路 1 とリセット回路 5 とに電源供給を開始する。電源スイッチ回路 1 の出力側の電圧はダイオード 1a、1b の作用により、(C) に示すように、電圧 V_1 のままである。時刻 t_6 で入力電圧 V_2 が電圧 V_K に達し、時刻 t_7 で入力電圧 V_2 はハイレベルに達する。時刻 t_6 から時間 t_K 経過した時刻 t_8 で、(E) に示すように、リセット回路 5 の出力側は電圧 V_2 をリセット信号としてゲート回路 13 に出力する。図示せぬ制御部からの制御信号はリセット信号をゲートとしてゲート回路 13 から動作回路 11 に出力される。

【0015】時刻 t_9 で入力電圧 V_1 が、(A) に示すように、ハイレベルから降下を開始する。ほぼ同時に電源スイッチ回路 1 の出力電圧も降下を開始する。時刻 t_{10} で入力電圧 V_1 が電圧 V_K に達し、(D) に示すように、リセット回路 4 の出力側はロウレベルになる。時刻 t_{11} で入力電圧 V_1 が電圧 V_2 に達すると、電源スイッチ回路 1 の出力電圧も電圧 V_2 となり、以降電圧 V_2 を持続する。図示せぬ制御部からの制御信号はリセット信号をゲートとしてゲート回路 13 から動作回路 11 に出力される。動作回路 11 は電源スイッチ回路 1 から供給される電源電圧 V_2 とゲート回路 13 から出力される制御信号とで動作する。

【0016】時刻 t_{12} で入力電圧 V_2 が、(B) に示すように、ハイレベルから降下を開始する。ほぼ同時に電源スイッチ回路 1 の出力電圧も降下を開始する。時刻 t_{13} で入力電圧 V_2 が電圧 V_K に達し、(E) に示すように、リセット回路 5 の出力側はロウレベルになる。従って、以後ゲート回路 13 から動作回路 11 に制御信号は出力されず、動作回路 11 は動作できない。

【0017】本実施例では入力電圧を異なる電圧としたが、同じ電圧を複数入力してもかまわない。

【0018】また、動作回路 11 は入力電圧 V_2 で動作するとしたが、入力電圧 V_1 でも動作する動作回路であれば、時刻 t_8 から時刻 t_{10} までの時間は動作回路 10、11 とも動作可能となる。

【0019】本実施例によれば、複数の電源回路をスイッチングして特定用途向け集積回路に電源を供給できるようにしたことにより、電源区分による特定用途向け回路の IC 化限定をなくして特定用途向け集積回路のプリント基板への搭載面積を縮小できるとともに、ASIC 商品化の開発費を低くおさえることができ、ASIC の単価を下げるができる。

【0020】第 2 実施例

図 5 は第 2 実施例の構成を示すブロックである。第 2 実施例が第 1 実施例と異なるところは、リセット回路 5 の前段に、図 7 に示すような、遅延回路 22 を設けた点である。遅延回路 22 は NPN 形トランジスタ 23 と PNP 形トランジスタ 24 と保護抵抗 25 ~ 27 とからなり、トランジスタ 23 のコレクタとトランジスタ 24 のベースとを保護抵抗 26 を介して接続し、保護抵抗 25 を介してトランジスタ 23 のベースにリセット回路 4 の出力を入力し、トランジスタ 24 のエミッタに入力電圧 V_2 を入力し、トランジスタ 24 のコレクタから次段のリセット回路 5 に出力している。トランジスタ 23 のエミッタはベースとの間に保護抵抗 27 を設けて接地してある。

【0021】リセット回路 4 の出力がロウレベルのとき、トランジスタ 23、24 はオフとなり、入力電圧 V_2 がハイレベル、ロウレベルにかかわらず、出力はロウレベルとなる。リセット回路 4 の出力がハイレベルのとき、トランジスタ 23、24 はオンとなり、出力は入力電圧 V_2 のハイレベル、ロウレベルに応じてハイレベル、ロウレベルとなる。

【0022】図 6 は第 2 実施例の動作を説明する波形図であり、(A) ~ (F) はそれぞれ図 5 に示した A ~ F に対応する。

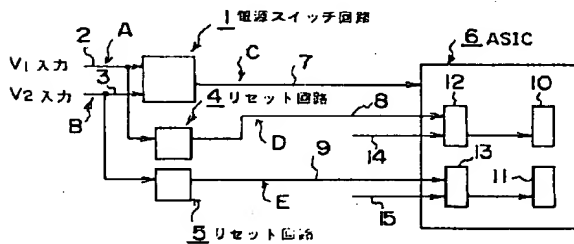
【0023】次に動作について図 6 を参照して説明する。時刻 t_1 で入力電圧 V_1 が、(A) に示すように、ロウレベルから上昇して電源スイッチ回路 1 とリセット回路 4 とに電源供給を開始すると、(C) に示すように、ほぼ同時に電源スイッチ回路 1 の出力側から ASIC 6 に供給される。時刻 t_2 で電圧 V_K に達し、時刻 t

3で入力電圧 V_1 はハイレベルに達する。時刻 t_2 から時間 t_K 経過した時刻 t_4 で、(D)に示すように、リセット回路4の出力側は電圧 V_1 をリセット信号としてゲート回路12に出力する。図示せぬ制御部からの制御信号はリセット信号をゲートとしてゲート回路12から動作回路10に出力される。動作回路10は電源スイッチ回路1から供給される電源電圧 V_1 とゲート回路12から出力される制御信号とで動作する。

【0024】時刻 t_1 で入力電圧 V_2 も、(B)に示すように、ロウレベルから上昇して電源スイッチ回路1とリセット回路5とに電源供給を開始すると、(E)に示すように、時刻 t_5 でロウレベルから上昇し、時刻 t_6 で電圧 V_K に達し、時刻 t_7 で入力電圧 V_2 はハイレベルに達する。時刻 t_6 から時間 t_K 経過した時刻 t_8 で、(F)に示すように、リセット回路5の出力側は電圧 V_2 をリセット信号としてゲート回路13に出力する。図示せぬ制御部からの制御信号はリセット信号をゲートとしてゲート回路13から動作回路11に出力される。

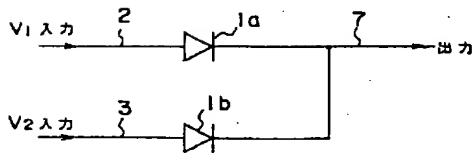
【0025】本実施例によれば、複数の電源電圧を同時に立ち上がらせても、動作回路が動作可能になるまでに、時間差を生ずるので誤動作を防止できるとともに、電源側で電源出力に時間差を持たせる必要がないので、標準的な安価な電源を使用できる。

【図1】



第1実施例の構成を示すブロック図

【図3】



電源スイッチ回路の詳細図

【0026】

【発明の効果】本発明は、以上説明したように構成されているので以下に記載される効果を奏する。

【0027】複数の電源回路をスイッチングして特定用途向け集積回路に電源を供給できるようにしたことにより、電源区分による特定用途向け回路のIC化限定をなくして特定用途向け集積回路のプリント基板への搭載面積を縮小できるとともに、ASIC商品化の開発費を低くおさえることができ、ASICの単価を下げるができる。

【図面の簡単な説明】

【図1】第1実施例の構成を示すブロック図である。

【図2】第1実施例の動作を説明する波形図である。

【図3】電源スイッチ回路の詳細図である。

【図4】リセット回路の詳細図である。

【図5】第2実施例の構成を示すブロック図である。

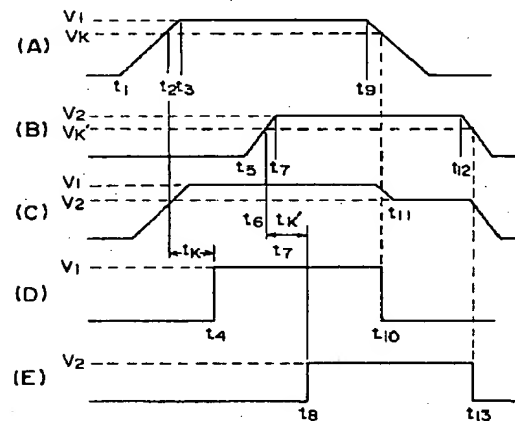
【図6】第2実施例の動作を説明する波形図である。

【図7】遅延回路の詳細図である。

【符号の説明】

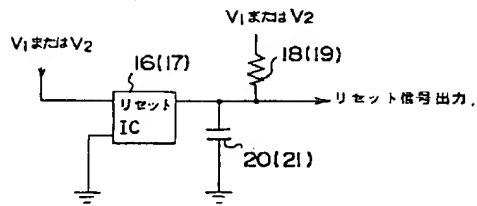
- 1 電源スイッチ回路
- 4、5 リセット回路
- 6 ASIC
- 2 2 遅延回路

【図2】



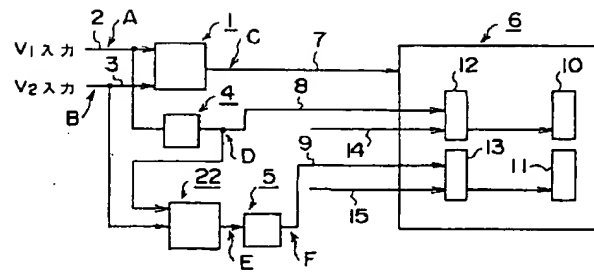
第1実施例の動作を示すタイムチャート

【図4】



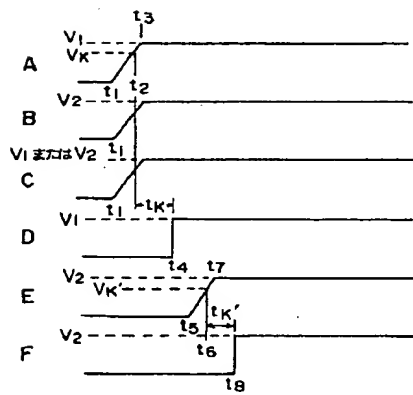
リセット回路の詳細図

【図5】



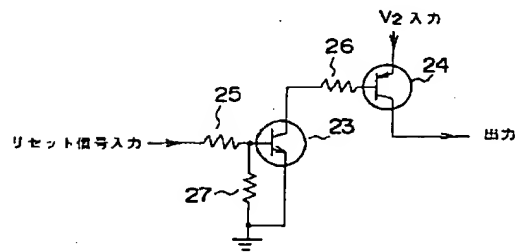
第2実施例の構成を示すブロック

【図6】



第2実施例の動作を示すタイムチャート

【図7】



遅延回路の詳細図

THIS PAGE BLANK (USPTO)